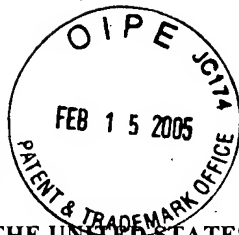


Docket No.: 65933-084



*[Handwritten signature]*

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

|  |   |                            |
|--|---|----------------------------|
| In re Application of   | : | Customer Number: 20277     |
| Ryosuke USUI, et al.   | : | Confirmation Number: 3812  |
| Application No.: 10/813,629                                    | : | Group Art Unit: 2811       |
| Filed: March 31, 2004  | : | Examiner: Not yet assigned |
| For: SEMICONDUCTOR MODULE AND METHOD OF MANUFACTURING THE SAME | : |                            |

**SUPPLEMENTAL TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

At the time the above application was filed, priority was claimed based on the following applications:

**Japanese Patent Application 2004-086770, filed on March 24, 2004.**

**Japanese Patent Application 2004-065243, filed on March 9, 2004.**

On the Corrected Claim for Priority filed August 16, 2004, priority was also claimed on the following application:

**Japanese Patent Application 2003-093324, filed on March 31, 2003.**

cited in the Declaration and on the Corrected Claim for Priority filed August 16, 2004. A copy of the priority application **Japanese Patent Application 2003-093324, filed on March 31, 2003** is enclosed.

Respectfully submitted,

MCDERMOTT WILL & EMERY LLP

*[Handwritten signature]*  
Arthur J. Steiner  
Registration No. 26,106

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
Phone: 202.756.8000 AJS:blg  
Facsimile: 202.756.8087  
**Date: February 15, 2005**

**Please recognize our Customer No. 20277 as our correspondence address.**

日本国特許庁  
JAPAN PATENT OFFICE

McDermott Will & Emery LLP

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出願年月日  
Date of Application:

2003年 3月31日

出願番号  
Application Number:

特願2003-093324

[T. 10/C]:

[JP 2003-093324]

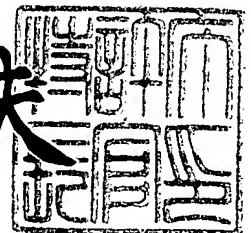
願人  
Applicant(s):

三洋電機株式会社

2004年 2月10日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



CERTIFIED COPY OF  
PRIORITY DOCUMENT

BEST AVAILABLE COPY

出証番号 出証特2004-3008147

【書類名】 特許願

【整理番号】 NPC1030014

【提出日】 平成15年 3月31日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/56

【発明者】

    【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会  
社内

    【氏名】 白井 良輔

【発明者】

    【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会  
社内

    【氏名】 水原 秀樹

【特許出願人】

    【識別番号】 000001889

    【氏名又は名称】 三洋電機株式会社

【代理人】

    【識別番号】 100105924

    【弁理士】

    【氏名又は名称】 森下 賢樹

    【電話番号】 03-3461-3687

【手数料の表示】

    【予納台帳番号】 091329

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体モジュールおよびその製造方法

【特許請求の範囲】

【請求項 1】 導体回路の設けられた絶縁基材と、該絶縁基材上に形成された半導体チップと、前記絶縁基材および前記半導体チップに接して設けられた絶縁体とを含む半導体モジュールであって、

前記絶縁基材の前記絶縁体と接する面に、微小突起群が形成されていることを特徴とする半導体モジュール。

【請求項 2】 請求項 1 に記載の半導体モジュールにおいて、  
前記微小突起群は、平均直径  $1 \sim 20 \text{ nm}$  の複数の突起を含むことを特徴とする半導体モジュール。

【請求項 3】 請求項 1 または 2 に記載の半導体モジュールにおいて、  
前記微小突起群は、数密度  $0.5 \times 10^3 \mu\text{m}^{-2}$  以上で形成された複数の突起を含むことを特徴とする半導体モジュール。

【請求項 4】 導体回路の設けられた絶縁基材と、該絶縁基材上に形成された半導体チップと、前記絶縁基材および前記半導体チップに接して設けられた絶縁体とを含む半導体モジュールであって、

前記絶縁基材の前記絶縁体と接する面の近傍における X 線光電子分光スペクトルにおいて、束縛エネルギー  $284.5 \text{ eV}$  における検出強度を  $x$ 、束縛エネルギー  $286 \text{ eV}$  における検出強度を  $y$  としたときに、 $y/x$  の値が  $0.4$  以上であることを特徴とする半導体モジュール。

【請求項 5】 導体回路の設けられた絶縁基材と、該絶縁基材上に形成された半導体チップと、前記絶縁基材および前記半導体チップに接して設けられた絶縁体とを含む半導体モジュールであって、

前記絶縁基材の前記絶縁体と接する領域を露出させたときの純水に対する接触角が  $30 \sim 70$  度であることを特徴とする半導体モジュール。

【請求項 6】 請求項 1 乃至 5 いずれかに記載の半導体モジュールにおいて、  
前記半導体チップはベアチップであって、前記絶縁体は前記ベアチップを封止

する封止樹脂からなることを特徴とする半導体モジュール。

【請求項 7】 請求項 1 乃至 6 いずれかに記載の半導体モジュールを製造する方法であって、

導体回路の設けられた絶縁基材の表面に対してプラズマ処理を行う工程と、  
前記絶縁基材上に、半導体チップおよび該半導体チップに接する絶縁体を形成する工程とを含み、

前記プラズマ処理を、不活性ガスを含むプラズマガスを用い、前記基材にバイアスを印加せずに行うことを特徴とする半導体モジュールの製造方法。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は、半導体チップ等を搭載し配線基板等に接合される半導体モジュールとその製造方法に関するものである。

##### 【0002】

##### 【従来の技術】

携帯電話、PDA、DVC、DSCといったポータブルエレクトロニクス機器の高機能化が加速するなか、こうした製品が市場で受け入れられるためには小型・軽量化が必須となっており、その実現のために高集積のシステムLSIが求められている。一方、これらのエレクトロニクス機器に対しては、より使い易く便利なものが求められており、機器に使用されるLSIに対し、高機能化、高性能化が要求されている。このため、LSIチップの高集積化にともないそのI/O数が増大する一方でパッケージ自体の小型化要求も強く、これらを両立させるために、半導体部品の高密度な基板実装に適合した半導体パッケージの開発が強く求められている。こうした要求に対応するため、CSP (Chip Size Package) と呼ばれるパッケージ技術が種々開発されている。

##### 【0003】

こうしたパッケージの例として、BGA (Ball Grid Array) が知られている。BGAは、パッケージ用基板の上に半導体チップを実装し、それを樹脂モールドディングした後、反対側の面に外部端子としてハンダボールをエリア状に形成し

たものである。BGAでは、実装エリアが面で達成されるので、パッケージを比較的容易に小型化することができる。また、回路基板側でも狭ピッチ対応とする必要がなく、高精度な実装技術も不要となるので、BGAを用いると、パッケージコストが多少高い場合でもトータルな実装コストとしては低減することが可能となる。

#### 【0004】

図1は、一般的なBGAの概略構成を示す図である。BGA100は、ガラスエポキシ基板106上に、接着層108を介してLSIチップ102が搭載された構造を有する。LSIチップ102は封止樹脂110によってモールドされている。LSIチップ102とガラスエポキシ基板106とは、金属線104により電氣的に接続されている。ガラスエポキシ基板106の裏面には、半田ボール112がアレイ状に配列されている。この半田ボール112を介して、BGA100がプリント配線基板に実装される。

#### 【0005】

特許文献1には、他のCSPの例が記載されている。同公報記載には、高周波用LSIを搭載するシステム・イン・パッケージが開示されている。このパッケージは、ベース基板上に、多層配線構造が形成され、その上に高周波用LSIをはじめとする半導体チップが形成されている。多層配線構造は、コア基板や樹脂付銅箔などが積層された構造となっている。

#### 【0006】

しかしながら、これら従来のCSPでは、ポータブルエレクトロニクス機器等において現在望まれているよう水準の小型化、薄型化、軽量化を実現することは難しかった。これは、従来のCSPはチップを支持する基板を有することによる。支持基板の存在により、パッケージ全体が厚くなり、小型化、薄型化、軽量化に限界があった。また、放熱性の改善にも一定の限界があった。

#### 【0007】

こうした事情に鑑み、本出願人は、ISB (Integrated System in Board; 登録商標) とよばれる新規なパッケージを開発した。ISBとは、半導体ベアチップを中心とする電子回路のパッケージングにおいて、銅による配線パターンを持

ちながら回路部品を支持するためのコア(基材)を使用しない独自のコアレスシステム・イン・パッケージである。特許文献2には、こうしたシステム・イン・パッケージが記載されている。

#### 【0008】

図2はISBの一例を示す概略構成図である。ここではISBの全体構造をわかりやすくするため、単一の配線層のみ示しているが、実際には、複数の配線層が積層した構造となっている。このISBでは、LSIベアチップ201、Trベアチップ202およびチップCR203が銅パターン205からなる配線により結線された構造となっている。LSIベアチップ201は、引き出し電極や配線に対し、金線ボンディング204により導通されている。LSIベアチップ201の直下には、導電性ペースト206が設けられ、これを介してISBがプリント配線基板に実装される。ISB全体はエポキシ樹脂などからなる樹脂パッケージ207により封止された構造となっている。

#### 【0009】

このパッケージによれば、以下の利点が得られる。

#### 【0010】

- (i) コアレスで実装できるため、トランジスタ、IC、LSIの小型・薄型化を実現できる。
- (ii) トランジスタからシステムLSI、さらにチップタイプのコンデンサや抵抗を回路形成し、パッケージングすることができるため、高度なSIP(System in Package)を実現できる。
- (iii) 現有の半導体チップを組合せできるため、システムLSIを短期間に開発できる。
- (iv) 半導体ベアチップが直下の銅材に直接マウントされており、良好な放熱性を得ることができる。
- (v) 回路配線が銅材でありコア材がないため、低誘電率の回路配線となり、高速データ転送や高周波回路で優れた特性を発揮する。
- (vi) 電極がパッケージの内部に埋め込まれる構造のため、電極材料のパーティクルコンタミの発生を抑制できる。

(vii)パッケージサイズはフリーであり、1個あたりの廃材を64ピンのSQFPパッケージと比較すると、約1/10の量となるため、環境負荷を低減できる。

(viii)部品を載せるプリント回路基板から、機能の入った回路基板へと、新しい概念のシステム構成を実現できる。

(ix)ISBのパターン設計は、プリント回路基板のパターン設計と同じように容易であり、セットメーカーのエンジニアが自ら設計できる。

#### 【0 0 1 1】

##### 【特許文献1】

特開 2 0 0 2 - 9 4 2 4 7 号公報

##### 【特許文献2】

特開 2 0 0 2 - 1 1 0 7 1 7 号公報

#### 【0 0 1 2】

##### 【発明が解決しようとする課題】

以上述べた I S B、B G A 等のパッケージにおいては、パッケージの支持基板と、素子を封止する封止樹脂層との間を十分に密着させることが重要となる。この界面における密着性が不良であると、素子の信頼性が著しく低下する。たとえば、半田工程等で上記界面から水分が浸入し、素子の性能が劣化することがある。

#### 【0 0 1 3】

特に、前述の I S B のような半導体モジュールは、支持基板を有さないため、界面密着性に対する要求は厳しいものとなる。I S B は、樹脂で封止されていないベアチップを配線構造の上に直接搭載する構造をとるため、ベアチップが水分の影響を受けやすい。したがって、I S B のようなベアチップを搭載する半導体モジュールにおいては、界面密着性を向上させ、水分の透過を十分に抑制することが重要な技術的課題となる。

#### 【0 0 1 4】

本発明は上記事情に鑑みなされたものであって、その目的とするところは、半導体モジュールにおいて、絶縁基材と、絶縁基材上に形成された絶縁体、たとえば半導体チップの封止樹脂との間の密着性を向上させることにある。



## 【0015】

## 【課題を解決するための手段】

本発明の半導体モジュールは、導体回路の設けられた絶縁基材と、該絶縁基材上に形成された半導体チップと、前記絶縁基材および前記半導体チップに接して設けられた絶縁体とを含む半導体モジュールであって、前記絶縁基材の前記絶縁体と接する面に、微小突起群が形成されていることを特徴とする。

## 【0016】

この半導体モジュールは、絶縁基材の絶縁体と接する面に微小突起群が形成されているため、絶縁基材と絶縁体との界面における密着性が良好となる。

## 【0017】

微小突起群は、平均直径  $1 \sim 20 \text{ nm}$  の複数の突起を含むものとするのが好ましい。また、その数密度は、 $0.5 \times 10^3 \mu\text{m}^{-2}$  以上が好ましく、 $0.8 \times 10^3 \mu\text{m}^{-2} \sim 2.0 \times 10^3 \mu\text{m}^{-2}$  がより好ましい。特に、 $1.6 \times 10^3 \mu\text{m}^{-2} \sim 2.0 \times 10^3 \mu\text{m}^{-2}$  が最も好ましい。こうすることにより、絶縁基材と絶縁体との界面における密着性がより顕著に改善される。

## 【0018】

発明に係る別の半導体モジュールは、導体回路の設けられた絶縁基材と、該絶縁基材上に形成された半導体チップと、前記絶縁基材および前記半導体チップに接して設けられた絶縁体とを含む半導体モジュールであって、前記絶縁基材の前記絶縁体と接する面において、前記絶縁基材はエポキシ樹脂材料により構成されており、前記面の近傍における X 線光電子分光スペクトルにおいて、束縛エネルギー  $284.5 \text{ eV}$  における検出強度を  $x$ 、束縛エネルギー  $286 \text{ eV}$  における検出強度を  $y$  としたときに、 $y/x$  の値が  $0.4$  以上であることを特徴とする。

## 【0019】

ここで、束縛エネルギー  $286 \text{ eV}$  は、 $\text{C}=\text{O}$  結合を構成する  $\text{C} 1s$  電子に帰属される。一方、束縛エネルギー  $284.5 \text{ eV}$  は、 $\text{C}-\text{O}$  結合または  $\text{C}-\text{N}$  結合を構成する  $\text{C} 1s$  電子に帰属される。これらの比が上記条件を満たすようにすることで、絶縁基材と絶縁体との界面における密着性が顕著に改善される。なお、 $y/x$  の値の上限は、たとえば  $3$  以下とする。

**【0020】**

発明に係る別の半導体モジュールは、導体回路の設けられた絶縁基材と、該絶縁基材上に形成された半導体チップと、前記絶縁基材および前記半導体チップに接して設けられた絶縁体とを含む半導体モジュールであって、前記絶縁基材の前記絶縁体と接する領域を露出させたときの純水に対する接触角が30～70度であることを特徴とする。

**【0021】**

こうした接触角を有する樹脂材料を用いることにより、絶縁基材と絶縁体との界面における密着性が顕著に改善される。

**【0022】**

上述の半導体モジュールは、たとえば、バイアスを印加しない特定条件下でプラズマ処理を行うことにより得ることができる。

**【0023】**

さらに本発明の半導体モジュールの製造方法は、上述した半導体モジュールを製造する方法であって、導体回路の設けられた絶縁基材の表面に対してプラズマ処理を行う工程と、前記絶縁基材上に、半導体チップおよび該半導体チップに接する絶縁体を形成する工程とを含み、前記プラズマ処理を、不活性ガスを含むプラズマガスを用い、前記基材にバイアスを印加せずに行うことを特徴とする。

**【0024】**

上記のようなプラズマ処理を行うことにより、絶縁基材と絶縁体との界面における密着性に優れた半導体モジュールを安定的に得ることができる。なお、「バイアス」とは、基板の自己バイアスは除くものとする。

**【0025】**

本発明において、半導体チップがベアチップであって、絶縁体はベアチップを封止する封止樹脂からなる構成とした場合、より効果的である。かかる構成を採用した場合、薄型で軽量のパッケージを実現できる一方、絶縁基材と封止樹脂との間の密着不良が問題となりがちであるが、本発明によれば、こうした問題を有効に解決できる。

**【0026】**

本発明における導体回路とは、基材の内部や基材表面に形成された、銅配線等からなる回路をいう。絶縁基材とは、半導体チップおよびこれと接続する導体回路を支持する絶縁性の基材をいい、絶縁体とは、たとえば、絶縁基材上に設けられ半導体チップを封止する封止樹脂や、絶縁基材と半導体チップとの間に配置される絶縁層等をいう。

## 【0027】

### 【発明の実施の形態】

#### 第一の実施の形態

以下、本発明の好ましい実施形態について、前述したISBの構造を有する半導体モジュールを例に挙げて説明する。図4は、本実施形態に係る半導体モジュールの断面構造を示す図である。この半導体モジュールは、層間絶縁膜405および銅からなる配線407からなる配線層が複数層積層し、最上層にソルダーレジスト層408が形成された多層配線構造体と、その表面に形成された素子410aおよび410bにより構成されている。多層配線構造体の裏面には、半田ボール420が設けられている。素子410aおよび410bは、モールド樹脂415によりモールドされた構造となっている。図4(b)では、図4(a)の構造に対し、さらに金属材料からなるダミー配線435が設けられている。これにより、多層配線構造体とモールド樹脂415との間の密着性が向上する。

## 【0028】

素子410aの実装方法につき、図4ではワイヤボンディング方式を採用したが、図10に示すように素子410aをフェイスダウンに配置したフリップ実装とすることもできる。

## 【0029】

図1に示した従来の半導体モジュールでは、LSIチップ102は、ベアチップが封止樹脂により封止されたチップ構造を有する。これに対して図4の半導体モジュールでは、素子410aが封止樹脂によって封止されていないベアチップである。このため吸湿対策をより確実に行うことが重要となる。モールド樹脂415と多層配線構造体との間の界面に剥離が生じると、この箇所からたとえば半田工程において水分が浸入し、ベアチップが直接水分の影響を受けることとなる。

この場合、チップの性能が大幅に損なわれる結果となる。こうしたことから、図 4 に示す I S B 構造の半導体モジュールにおいては、上記界面の密着性を改善し、水分の透過を十分に抑制することが重要な技術的課題となる。

#### 【0030】

こうした課題を解決するため、本実施形態では、ソルダーレジスト層 408 の表面を特定の条件を選択したプラズマ処理により改質した。具体的には、ソルダーレジスト層 408 のモールド樹脂 415 と接する側の面において、微小突起群を形成した。また、ソルダーレジスト層 408 の上記面において、X 線光電子分光分析スペクトルが、束縛エネルギー 284.5 eV における検出強度を  $x$ 、束縛エネルギー 286 eV における検出強度を  $y$  としたときに、 $y/x$  の値が 0.4 以上であるようにした。

#### 【0031】

さらに、ソルダーレジスト層 408 のモールド樹脂 415 と接する領域を露出させたときの純水に対する接触角が 30～70 度の範囲内にあるようにした。

#### 【0032】

ソルダーレジスト層 408、層間絶縁膜 405 およびモールド樹脂 415 を構成する材料は、それぞれ独立に樹脂材料を選択することができ、たとえば、BT レジン等のメラミン誘導体、液晶ポリマー、エポキシ樹脂、PPE 樹脂、ポリイミド樹脂、フッ素樹脂、フェノール樹脂、ポリアミドビスマレイミド等の熱硬化性樹脂が例示される。このうち、高周波特性に優れる液晶ポリマー、エポキシ樹脂、BT レジン等のメラミン誘導体が好適に用いられる。これらの樹脂とともに、適宜、フィラーや添加剤を添加してもよい。

#### 【0033】

本発明における絶縁基材を構成する材料としては、エポキシ樹脂、BT レジン、液晶ポリマー等が好ましく用いられる。こうした樹脂を用いることにより高周波特性や製品信頼性に優れる半導体モジュールが得られる。

#### 【0034】

次に、図 4 (a) に示す半導体モジュールの製造方法について、図 5～図 7 を参照して説明する。まず、図 5 (A) のように、金属箔 400 上に所定の表面に

選択的に導電被膜 402 を形成する。具体的には、フォトリソスト 401 で金属箔 400 を被覆した後、電界メッキ法により、金属箔 400 の露出面に導電被膜 402 を形成する。導電被膜 402 の膜厚は、例えば  $1 \sim 10 \mu\text{m}$  程度とする。この導電被膜 402 は、最終的に半導体モジュールの裏面電極となるので、半田等のロウ材との接着性の良い金、または銀を用いて形成することが好ましい。

#### 【0035】

つづいて図 5 (B) に示すように、金属箔 400 上に、第一層目の配線パターンを形成する。まず金属箔 400 を化学研磨して表面のクリーニングと表面粗化を行う。次に、金属箔 400 上に熱硬化性樹脂で導電被膜 402 全面を覆い、加熱硬化させて平坦な表面を有する膜とする。つづいてこの膜中に、導電被膜 402 に到達する直径  $100 \mu\text{m}$  程度のビアホール 404 を形成する。ビアホール 404 を設ける方法としては、本実施形態ではレーザー加工によったが、そのほか、機械加工、薬液による化学エッチング加工、プラズマを用いたドライエッチング法などを用いることもできる。その後、レーザー照射によりエッチング滓を除去した後、ビアホール 404 を埋め込むように全面に銅メッキ層を形成する。その後、フォトリソストをマスクとして銅メッキ層をエッチングし、銅からなる配線 407 を形成する。たとえば、レジストから露出した箇所に、化学エッチング液をスプレー噴霧して不要な銅箔をエッチング除去し、配線パターンを形成することができる。

#### 【0036】

以上のように、層間絶縁膜 405 の形成、ビアホール形成、銅メッキ層の形成および銅メッキ層のパターニングの手順を繰り返し行うことにより、図 5 (C) のように、配線 407 および層間絶縁膜 405 からなる配線層が積層した多層配線構造を形成する。

#### 【0037】

つづいて図 6 (A) に示すように、ソルダーレジスト層 408 を形成した後、レーザー加工によりソルダーレジスト層 408 中にコンタクトホール 421 を形成する。ソルダーレジスト層 408 の構成材料として、フィラー含有エポキシ樹脂系絶縁膜を用いた。本実施形態ではレーザー加工によったが、そのほか、機械

加工、薬液による化学エッチング加工、ドライエッチング法などを用いることもできる。その後、プラズマ照射によりエッチング滓を除去する。本実施形態では、アルゴンおよび酸素からなるプラズマガスを用いプラズマ処理を行った。

#### 【0038】

プラズマ照射条件は、前述したモホロジおよび樹脂特性を有する表面層が形成されるよう、用いる樹脂材料に応じて適宜設定する。なお、基板へのバイアス印加は行わないことが好ましい。たとえば以下のような条件とする。

バイアス： 無印加

プラズマガス： アルゴン 10～20 s c c m、酸素 0～10 s c c m

#### 【0039】

このプラズマ照射により、配線 407 の表面のエッチング滓が除去されるとともに、ソルダーレジスト層 408 の表面が改質し、前述したモホロジおよび樹脂特性を有する表面層が形成される。

#### 【0040】

次に図 6 (B) に示すように、ソルダーレジスト層 408 上に素子 410 a、410 b を搭載する。素子 410 としては、トランジスタ、ダイオード、IC チップ等の半導体チップや、チップコンデンサ、チップ抵抗等の受動素子が用いられる。なお、CSP、BGA 等のフェイスダウンの半導体素子も実装できる。図 6 (B) の構造では、素子 410 a がベアーの半導体チップ（トランジスタチップ）であり、素子 410 b がチップコンデンサである。これらはソルダーレジスト層 408 に固着される。この状態で再度プラズマ処理を行う。プラズマ照射条件は、前述したモホロジおよび樹脂特性を有する表面層が形成されるよう、用いる樹脂材料に応じて適宜設定する。なお、基板へのバイアス印加は行わないことが好ましい。たとえば以下のような条件とする。

バイアス： 無印加

プラズマガス： アルゴン 10～20 s c c m、酸素 0～10 s c c m

#### 【0041】

このプラズマ照射により、配線 407 の表面のエッチング滓が除去されるとともに、ソルダーレジスト層 408 の表面が改質し、前述したモホロジおよび樹脂

特性を有する表面層が形成される。

#### 【0 0 4 2】

その後、形成したビアホールを介して素子 4 1 0 a を配線 4 0 7 と金線 4 1 2 により結線した後、これらをモールド樹脂 4 1 5 でモールドする。図 7 (A) は、モールドされた状態を示す。半導体素子のモールドは、金属箔 4 0 0 に設けた複数個のモジュールに対して、金型を用いて同時に行う。この工程は、トランスファーマールド、インジェクションモールド、ポッティングまたはディッピングにより実現できる。樹脂材料としては、エポキシ樹脂等の熱硬化性樹脂がトランスファーマールドまたはポッティングで実現でき、ポリイミド樹脂、ポリフェニレンサルファイド等の熱可塑性樹脂はインジェクションモールドで実現できる。

#### 【0 0 4 3】

その後、図 7 (B) に示すように、多層配線構造から金属箔 4 0 0 を除去し、裏面に半田ボール 4 2 0 を形成する。金属箔 4 0 0 の除去は、研磨、研削、エッチング、レーザの金属蒸発等により行うことができる。本実施形態では以下の方法を採用する。すなわち、研磨装置または研削装置により金属箔 4 0 0 全面を 5 0  $\mu$  m 程度削り、残りの金属箔 4 0 0 を化学的にウェットエッチングにより除去する。なお、金属箔 4 0 0 全部をウェットエッチングにより除去してもよい。こうした工程を経ることにより、半導体素子の搭載された側と反対側の面に、第 1 層目の配線 4 0 7 の裏面が露出する構造となる。これにより、本実施形態で得られるモジュールでは裏面が平坦となり、半導体モジュールのマウント時に半田等の表面張力でそのまま水平に移動し、容易にセルフアラインできるというプロセス上の利点が得られる。つづいて露出した導電被膜 4 0 2 に半田等の導電材を被着して半田ボール 4 2 0 を形成し、半導体モジュールを完成する。その後、ウエハをダイシングにより切断し、半導体モジュールチップを得ることができる。上記した金属箔 4 0 0 の除去工程を行うまでは、金属箔 4 0 0 が支持基板となる。金属箔 4 0 0 は、配線 4 0 7 形成時の電解メッキ工程において電極としても利用される。また、モールド樹脂 4 1 5 をモールドする際にも、金型への搬送、金型への実装の作業性を良好にすることができる。以上のようにして、図 4 (A) に示す構造の半導体モジュールが得られる。

**【 0 0 4 4 】**

この半導体モジュールは、図 6 (B) の工程において、ソルダーレジスト層 4 0 8 をアルゴンプラズマ処理し、表面改質しているため、ソルダーレジスト層 4 0 8 とモールド樹脂 4 1 5 との間の界面密着性が顕著に改善される。この結果、半導体モジュールの信頼性を顕著に向上させることができる。

**【 0 0 4 5 】****第二の実施の形態**

第一の実施の形態では、ソルダーレジスト層 4 0 8 上に素子 4 1 0 a、素子 4 1 0 b を半田により固着した構成としたが、半田を利用せず、接着剤等により素子を固着することもできる。この場合はソルダーレジスト層 4 0 8 を設けない構造とすることも可能である。

**【 0 0 4 6 】**

図 9 は、ソルダーレジスト層なしに配線に直接、素子を接着させた構成を示す。多層配線構造は、第一の実施の形態で説明したものと同様の構造を有する。層間絶縁膜 4 0 5 は、本実施形態ではエポキシ樹脂を用いた。

**【 0 0 4 7 】**

この半導体モジュールは以下のようにして作製することができる。まず図 5 (C) までの工程を行う。次いで、図 8 のように素子 4 1 0 a、素子 4 1 0 b を接着剤により固着する。この状態で素子形成面に対してプラズマ処理を行う。プラズマ処理は、第一の実施の形態と同様にする。このプラズマ照射により、配線 4 0 7 の表面が清浄な状態となり、素子 4 1 0 a、素子 4 1 0 b と配線 4 0 7 とを良好に結線させることが可能となる。また、このとき同時に層間絶縁膜 4 0 5 の表面がプラズマ処理により改質し、前述したモホロジおよび樹脂特性を有する表面層が形成される。

**【 0 0 4 8 】**

その後、素子 4 1 0 a を配線 4 0 7 と金線 4 1 2 により結線した後、これらをモールド樹脂 4 1 5 でモールドする。以上により図 9 に示す構造の半導体モジュールが得られる。この半導体モジュールは、図 8 の工程において、層間絶縁膜 4 0 5 をアルゴンプラズマ処理し、表面改質しているため、層間絶縁膜 4 0 5 とモ



ールド樹脂 415 との間の界面密着性が顕著に改善される。この結果、半導体モジュールの信頼性を顕著に向上させることができる。

#### 【0049】

##### 【実施例】

銅箔表面にエポキシ樹脂系フィルム（商品名 PDF300、新日鐵化学社製）を貼った後、このフィルムをパターンニングして銅箔の表面の一部を露出させた。この状態で銅箔露出面およびエポキシ樹脂系フィルムの面を含む全面にアルゴンプラズマ処理を行った。プラズマガス中の酸素濃度を変えて 2 種類の試料を作製した。

#### 【0050】

バイアス： 無印加

プラズマガス：

試料 1 アルゴン 10 s c c m、酸素 0 s c c m

試料 2 アルゴン 10 s c c m、酸素 10 s c c m

R F パワー (W) : 500

圧力 (P a) : 20

処理時間 (s e c) : 20

プラズマ照射前後のエポキシ樹脂系フィルム表面について走査型電子顕微鏡により観察した。結果を図 11、図 12 および図 13 に示す。図 11 は試料 1、図 12 は試料 2、図 13 はプラズマ未処理の外観を示す。プラズマ照射により樹脂表面に複数の微小突起が形成されることが明らかになった。走査型電子顕微鏡観察により得られた画像データを用い、微小突起の平均直径および密度を測定した。密度は、長さ  $1\ \mu\text{m}$  のライン上の微小突起の数（線密度）を測定し、これを 2 乗することにより求めた。結果を以下に示す。

試料 1

平均直径 4 n m

数密度  $1.2 \times 10^3$  個 /  $\mu\text{m}^2$

試料 2

平均直径 4 n m

数密度  $1.6 \times 10^3$  個/ $\mu\text{m}^2$

#### 【0051】

次に、上記試料 1、2 について、X 線光電子分光分析を行った。結果を図 14 に示す。図中、試料 1、2 とともに、アルゴンプラズマ処理前のものを参照として示した。プラズマ照射により、286 eV における C=O 結合に由来する強度が増大するとともに 284.5 eV における C-O 結合または C-N 結合に由来する強度が減少していることがわかる。284.5 eV における C-O 結合または C-N 結合に由来する強度を x、286 eV における C=O 結合に由来する強度を y、としたときに、本実施例に係るモジュールの y/x の値は、試料 1、2 とも約 0.44 となった。

#### 【0052】

つづいて、上記試料 1、2 について、接触角を測定した。フィルム表面に純水を滴下し、水滴の様子を拡大鏡で観察して接触角を測定した。接触角の測定は、試料作製 2 日後に行った。得られた接触角の値は、以下の通りであった。

試料 1 52.0 度

試料 2 53.6 度

#### 【0053】

第一の実施の形態で述べたプロセスにおいて上記試料 1 および 2 と同様の成膜、プラズマ処理工程を適用して半導体モジュールを作製した。この半導体モジュールは、試料 1、2 のエポキシ樹脂系フィルムをソルダーレジスト層として、その表面に半導体チップが搭載された構造を有する。この半導体モジュールを評価したところ、耐ヒートサイクル性に優れるとともに、プレッシャークッカー試験結果も良好であった。

#### 【0054】

##### 【発明の効果】

以上説明したように本発明によれば、絶縁樹脂層と封止樹脂層との間の密着性に優れた、高い信頼性を有する半導体モジュールが得られる。

##### 【図面の簡単な説明】

【図 1】 BGA の構造を説明するための図である。

【図 2】 I S B（登録商標）の構造を説明するための図である。

【図 3】 B G A および I S B（登録商標）の製造プロセスを説明するための図である。

【図 4】 実施の形態に係る半導体モジュールの構造を説明するための図である。

【図 5】 実施の形態に係る半導体モジュールの製造方法を説明するための図である。

【図 6】 実施の形態に係る半導体モジュールの製造方法を説明するための図である。

【図 7】 実施の形態に係る半導体モジュールの製造方法を説明するための図である。

【図 8】 実施の形態に係る半導体モジュールの製造方法を説明するための図である。

【図 9】 実施の形態に係る半導体モジュールの製造方法を説明するための図である。

【図 10】 実施の形態に係る半導体モジュールの構造を説明するための図である。

【図 11】 プラズマ処理後のフィルム表面を走査型電子顕微鏡により観察した結果を示す図である。

【図 12】 プラズマ処理後のフィルム表面を走査型電子顕微鏡により観察した結果を示す図である。

【図 13】 プラズマ処理後のフィルム表面を走査型電子顕微鏡により観察した結果を示す図である。

【図 14】 プラズマ処理後のフィルム表面の X 線光電子分光分析結果を示す図である。

#### 【符号の説明】

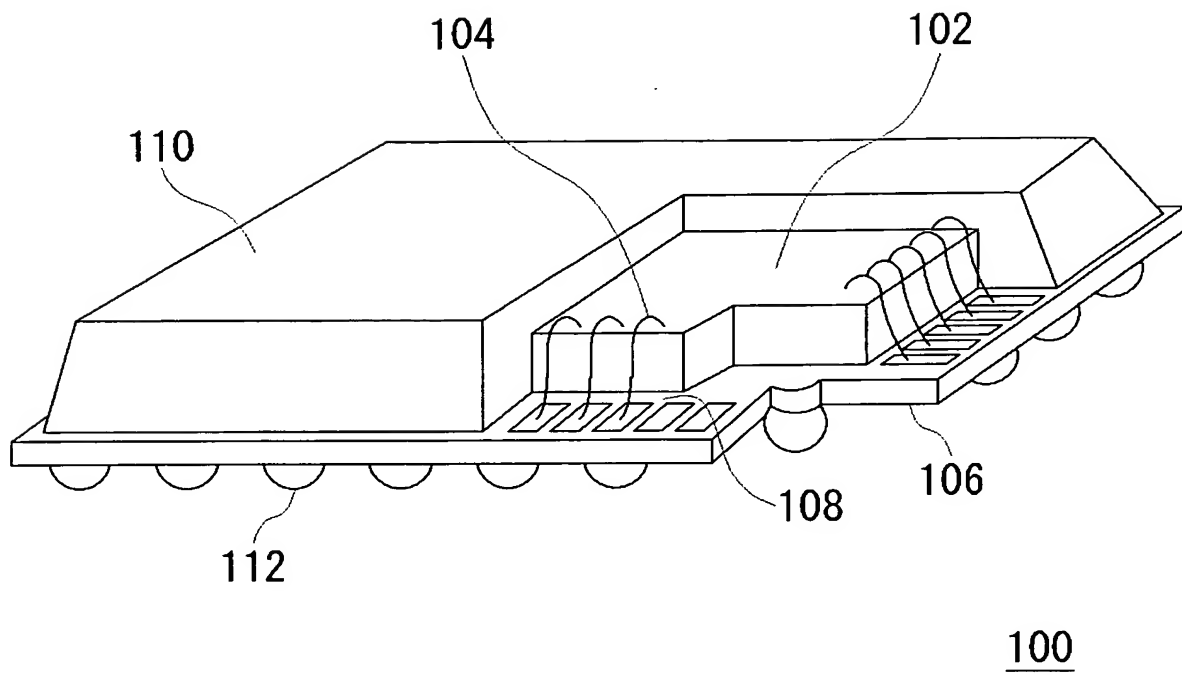
400 金属箔、401 フォトレジスト、402 導電被膜、405 層間絶縁膜、407 配線、408 ソルダレジスト層、410a 素子、410b 素子、412 金線、415 モールド樹脂、420 半田ボール、421

ビアホール、4 3 5 ダミー配線。

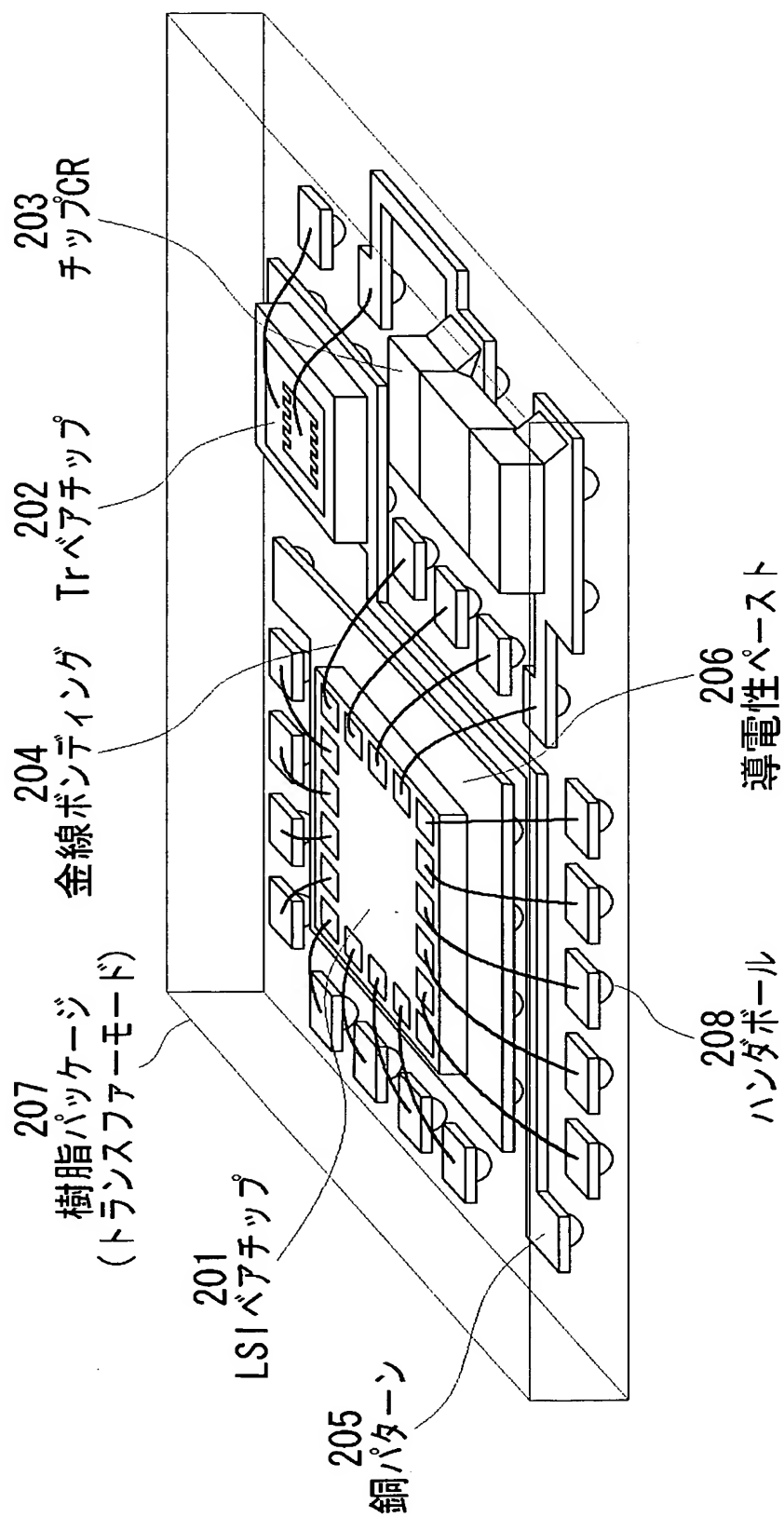
【書類名】

図面

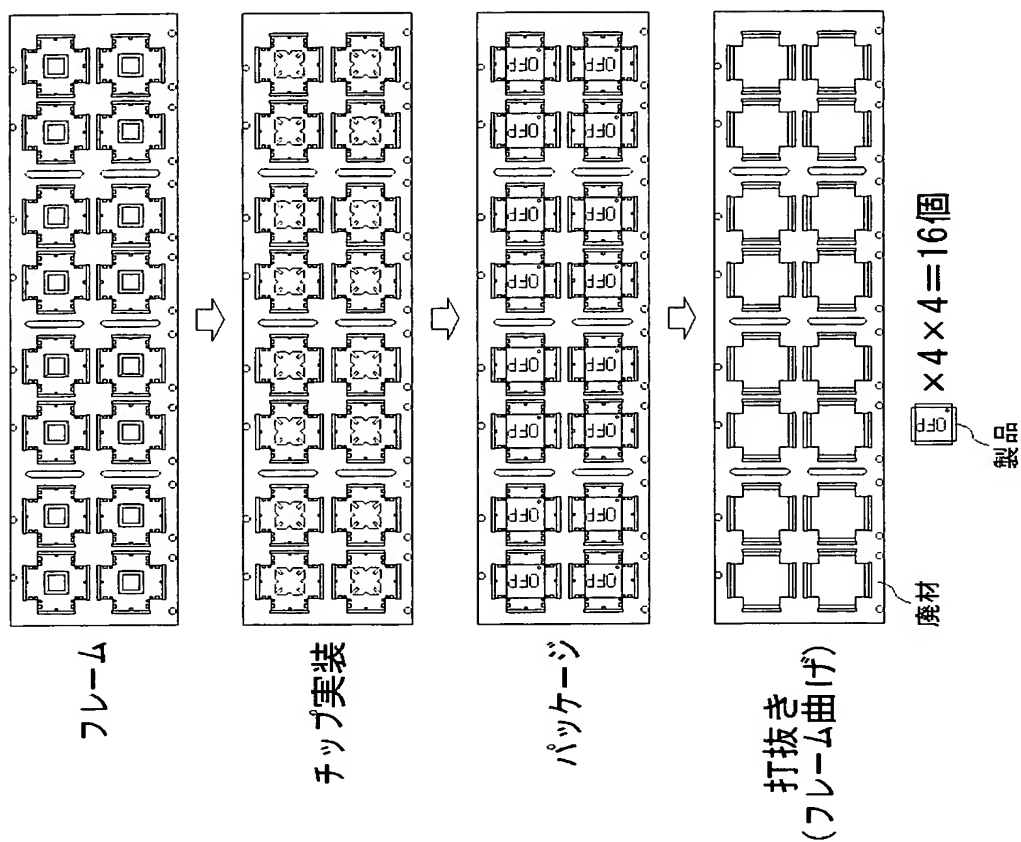
【図 1】



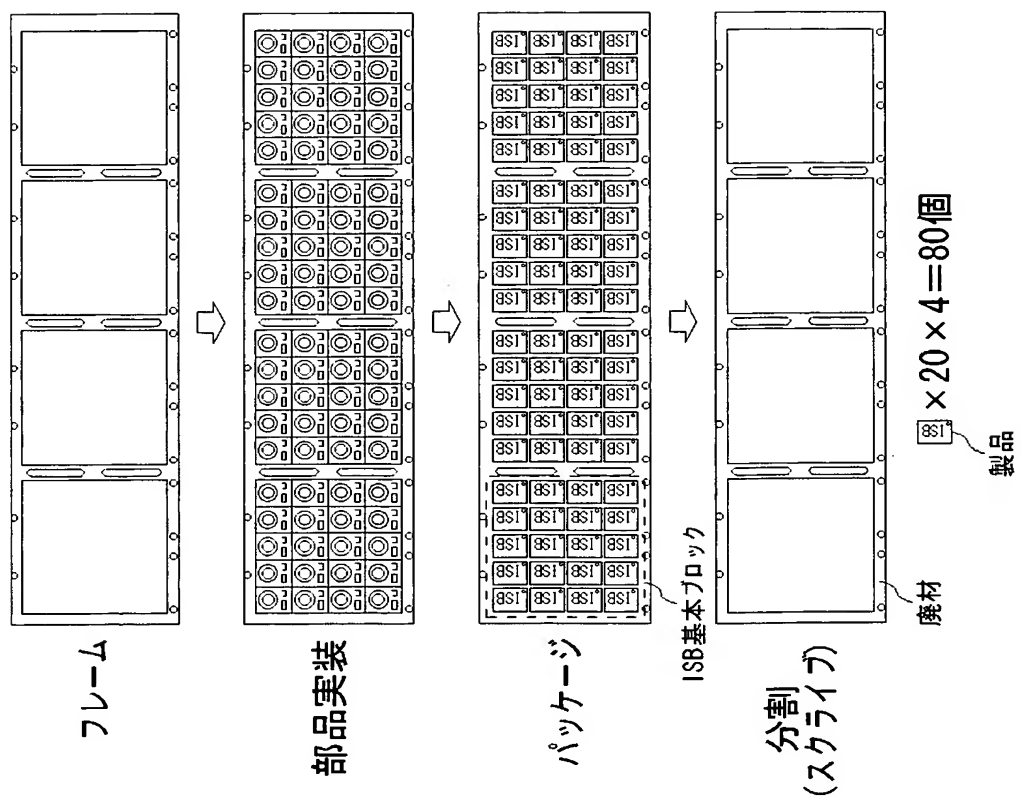
【図 2】



【図 3】

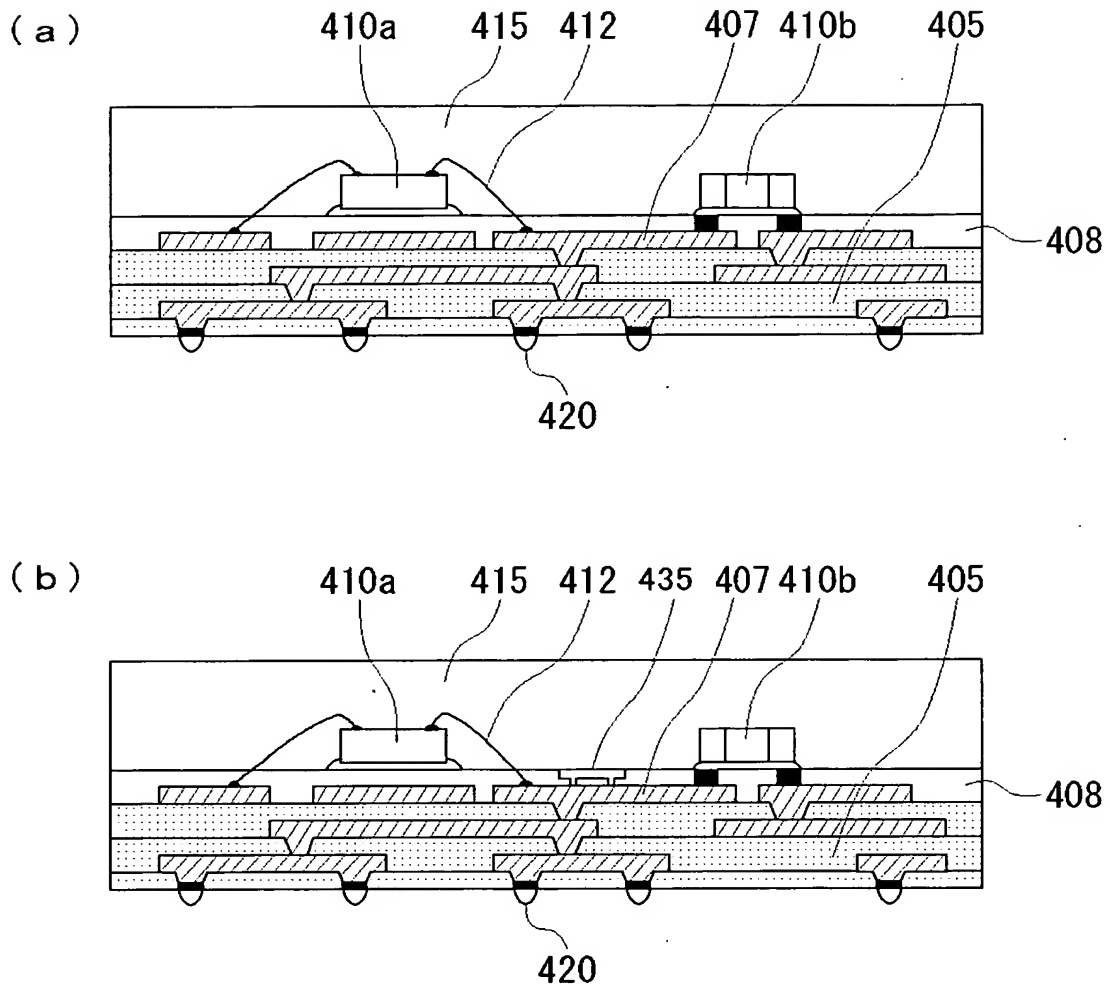


(B)



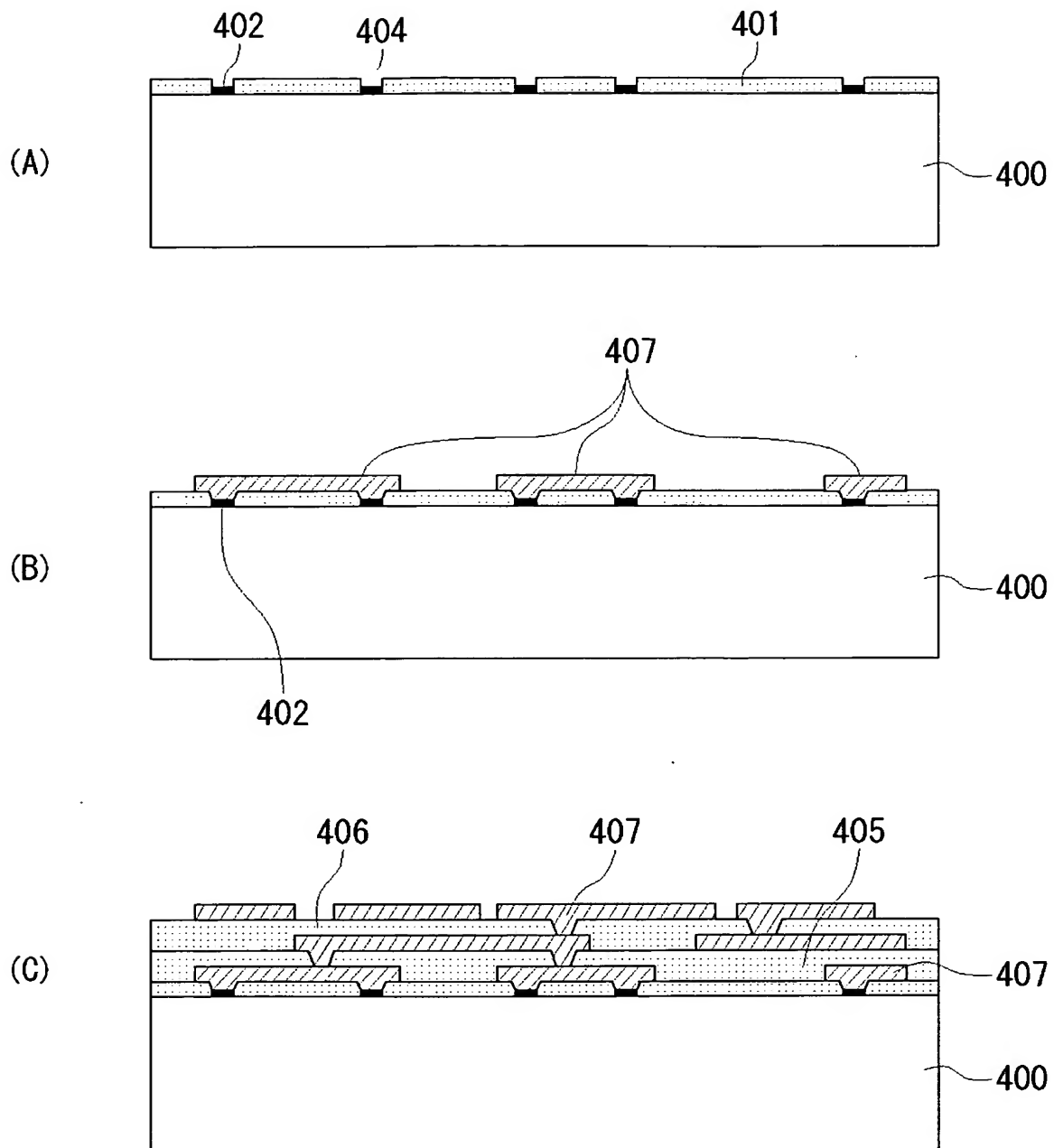
(A)

【図 4】

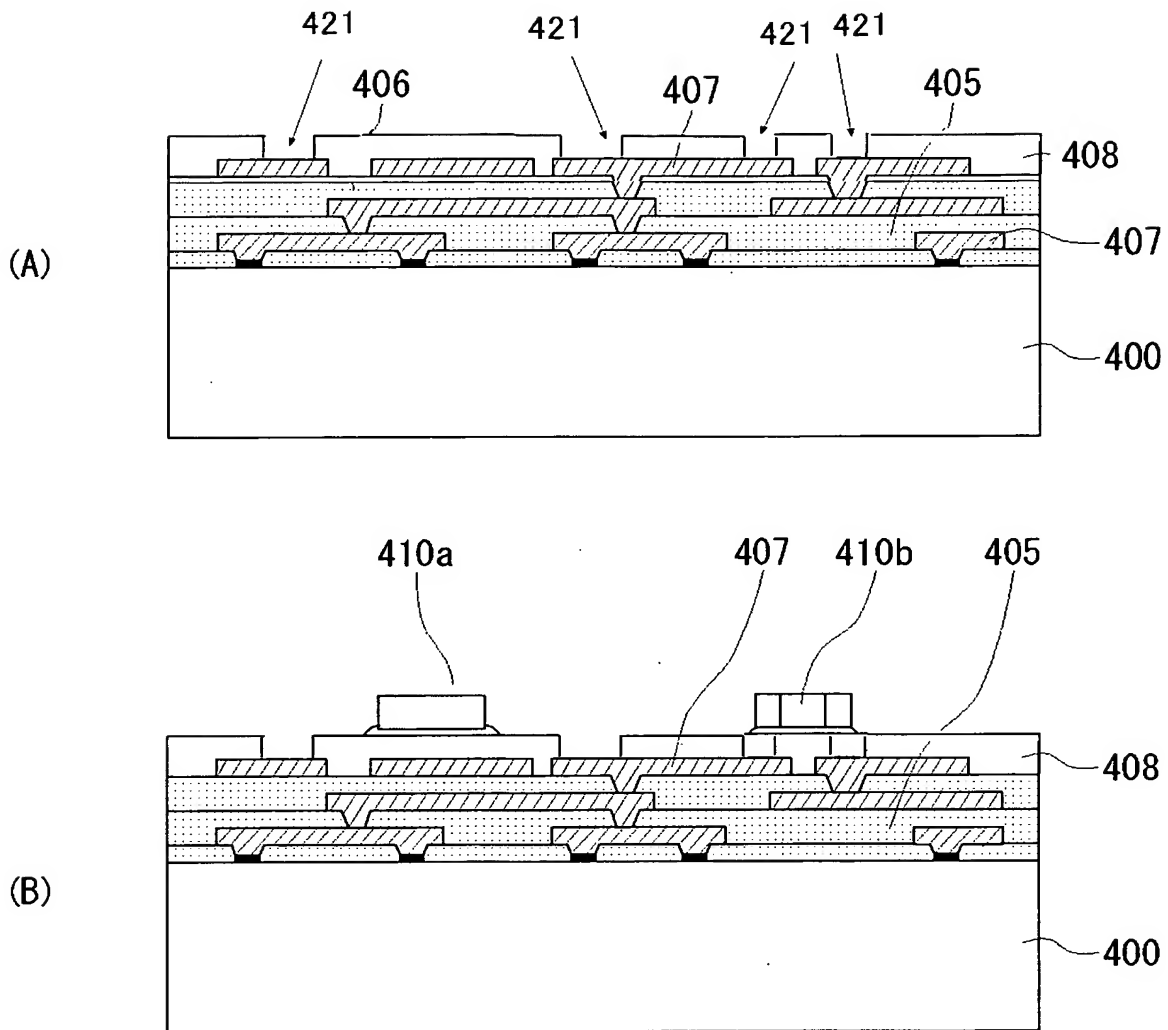




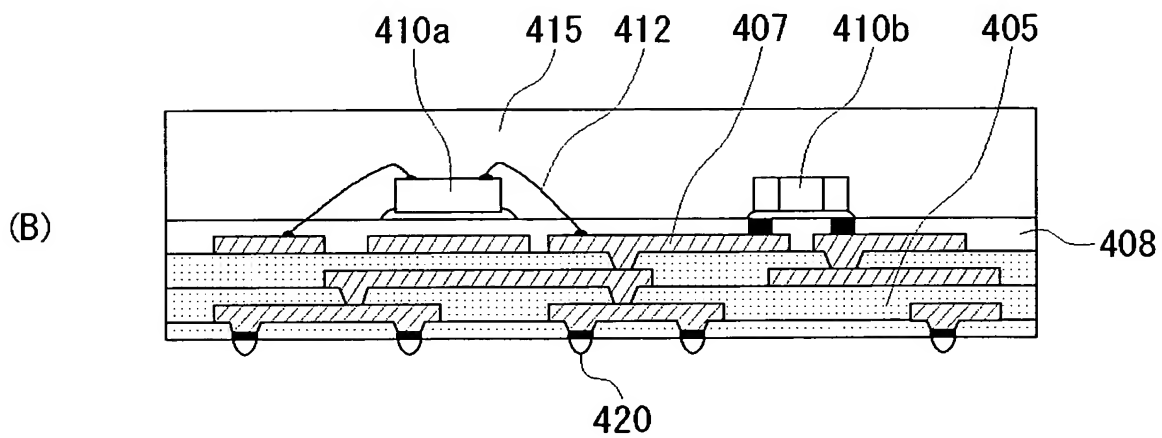
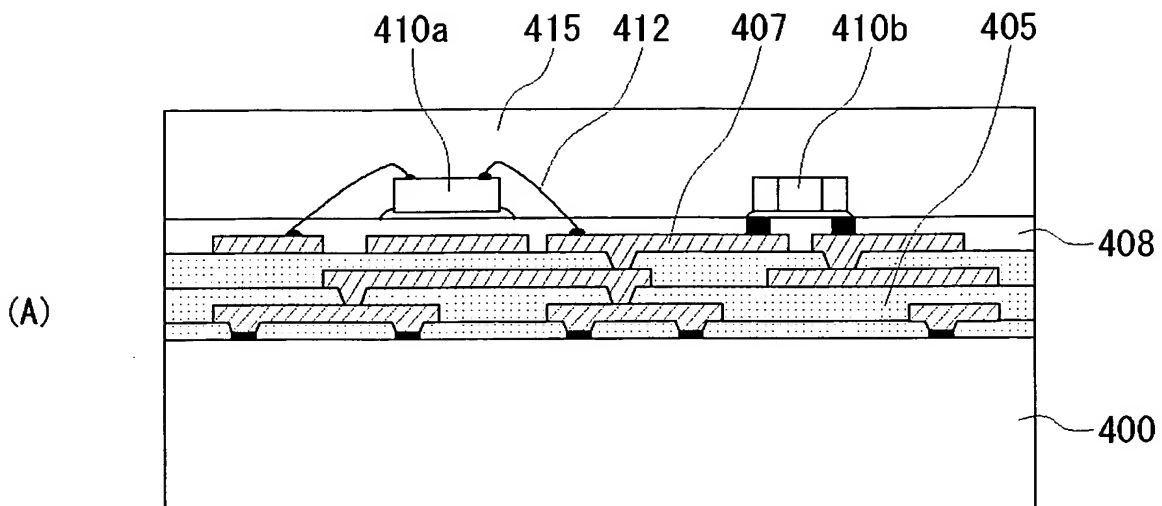
【図 5】



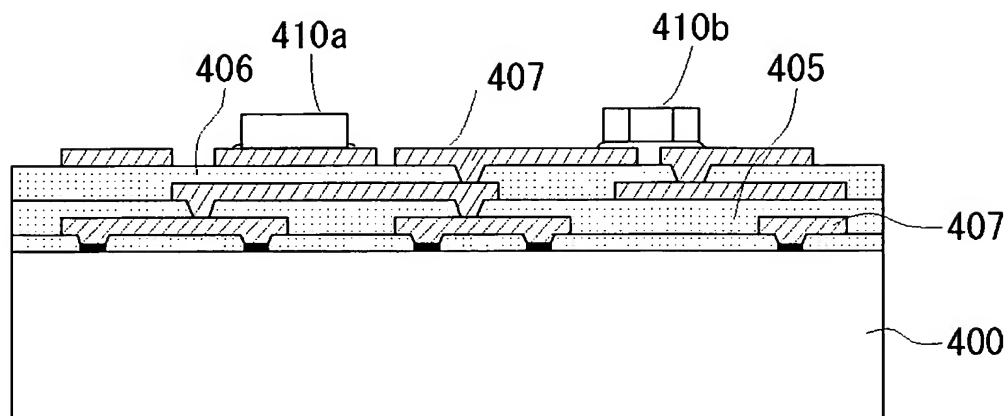
【図 6】



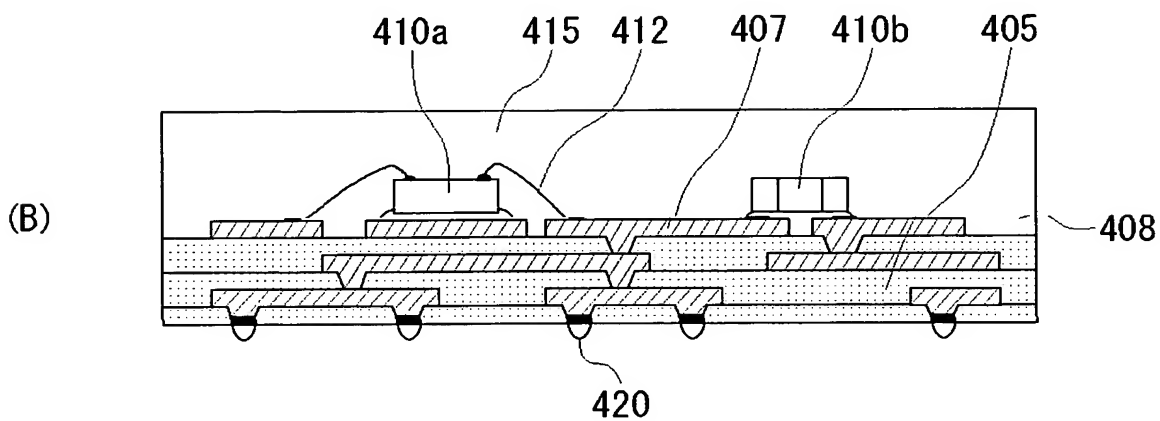
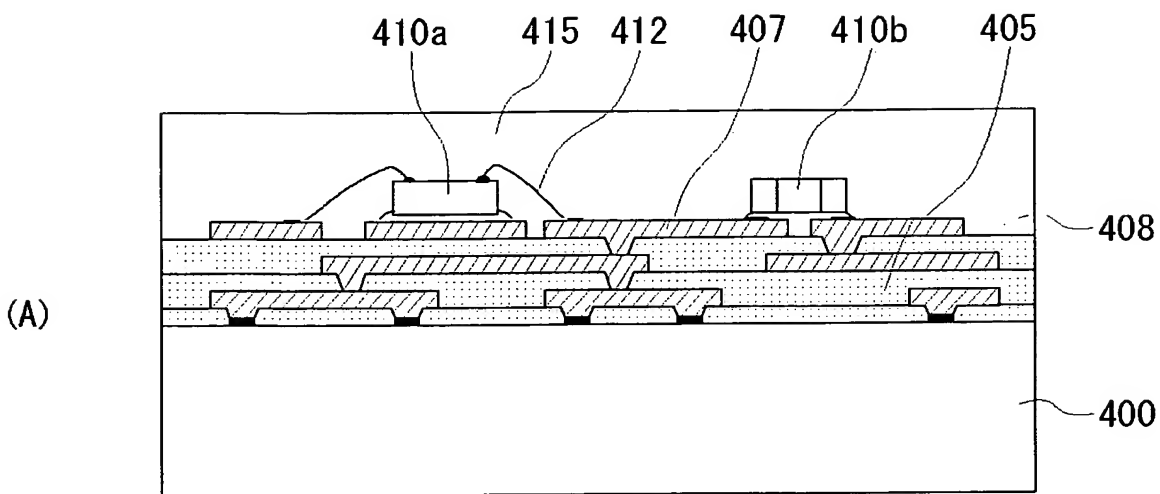
【図 7】



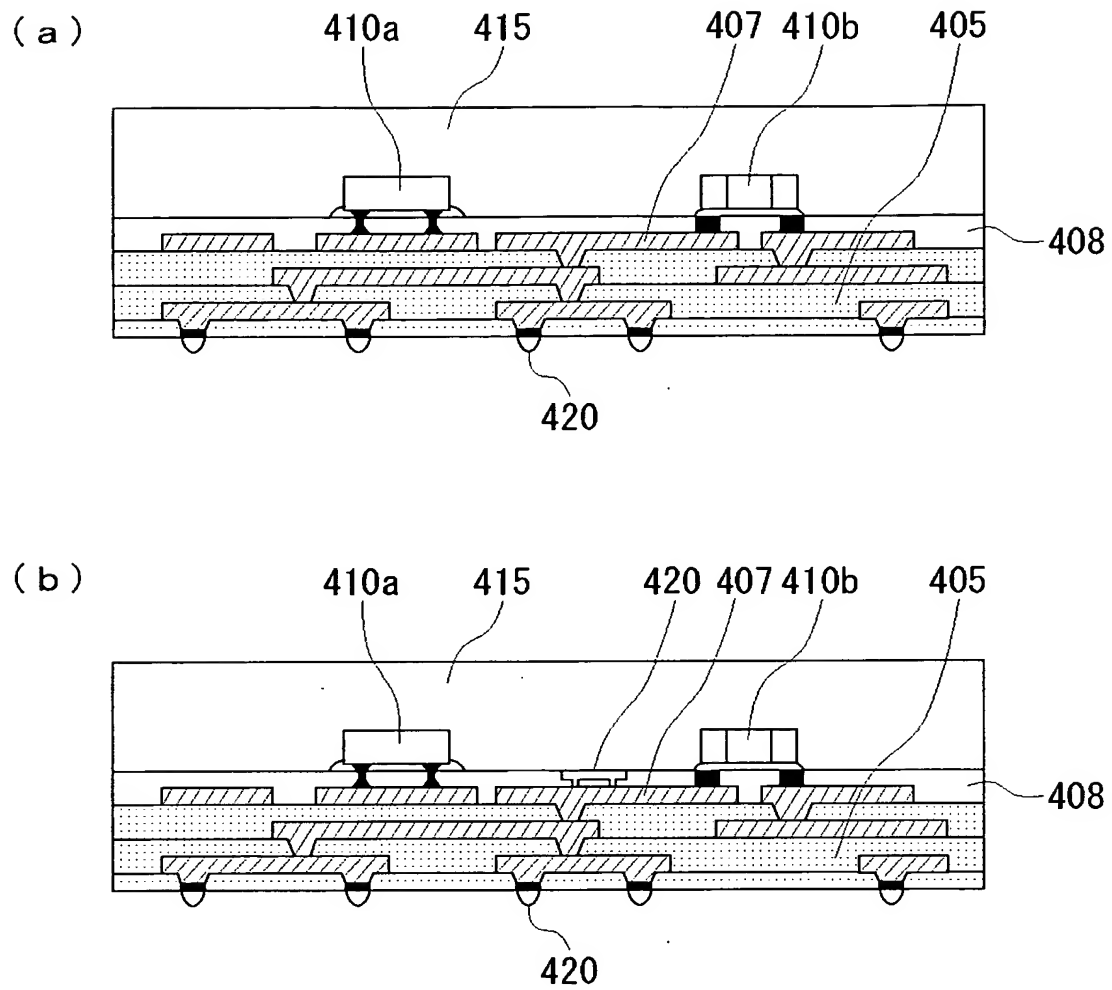
【図 8】



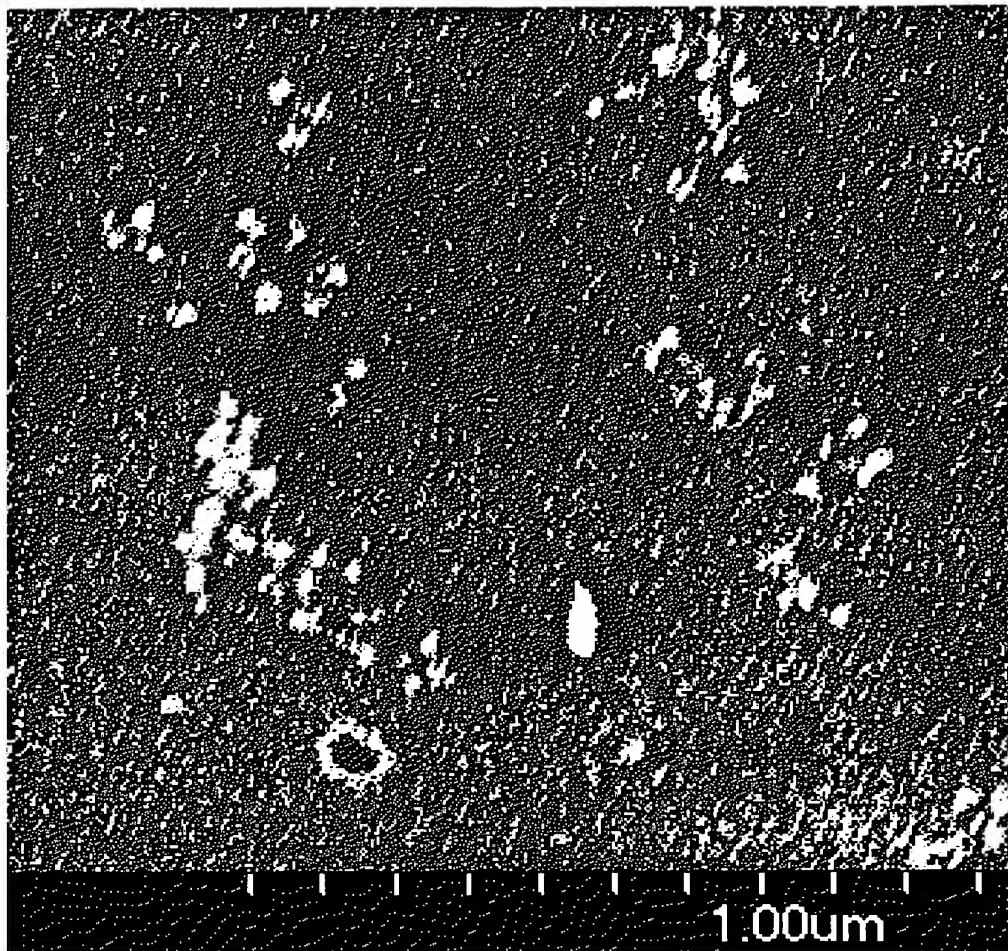
【図 9】



【図 10】

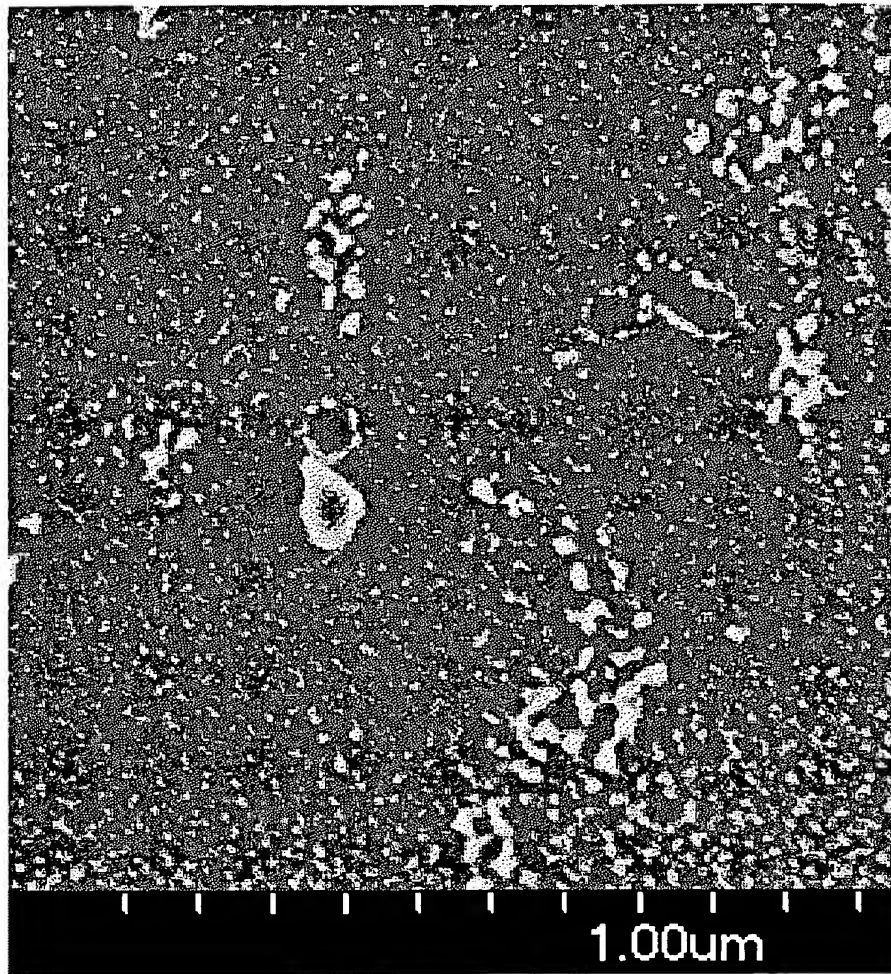


【図 11】



BEST AVAILABLE COPY

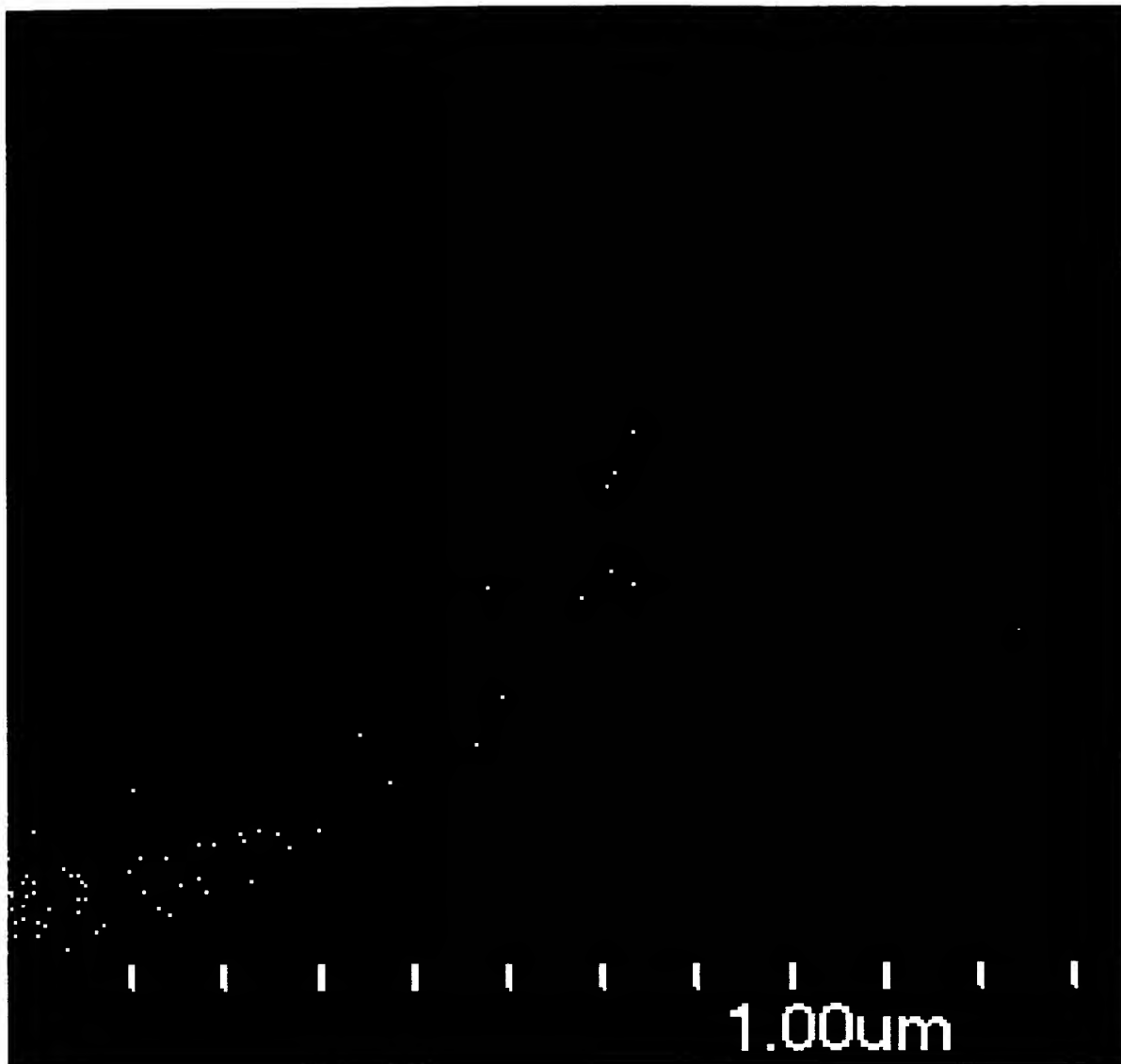
【図 12】



BEST AVAILABLE COPY

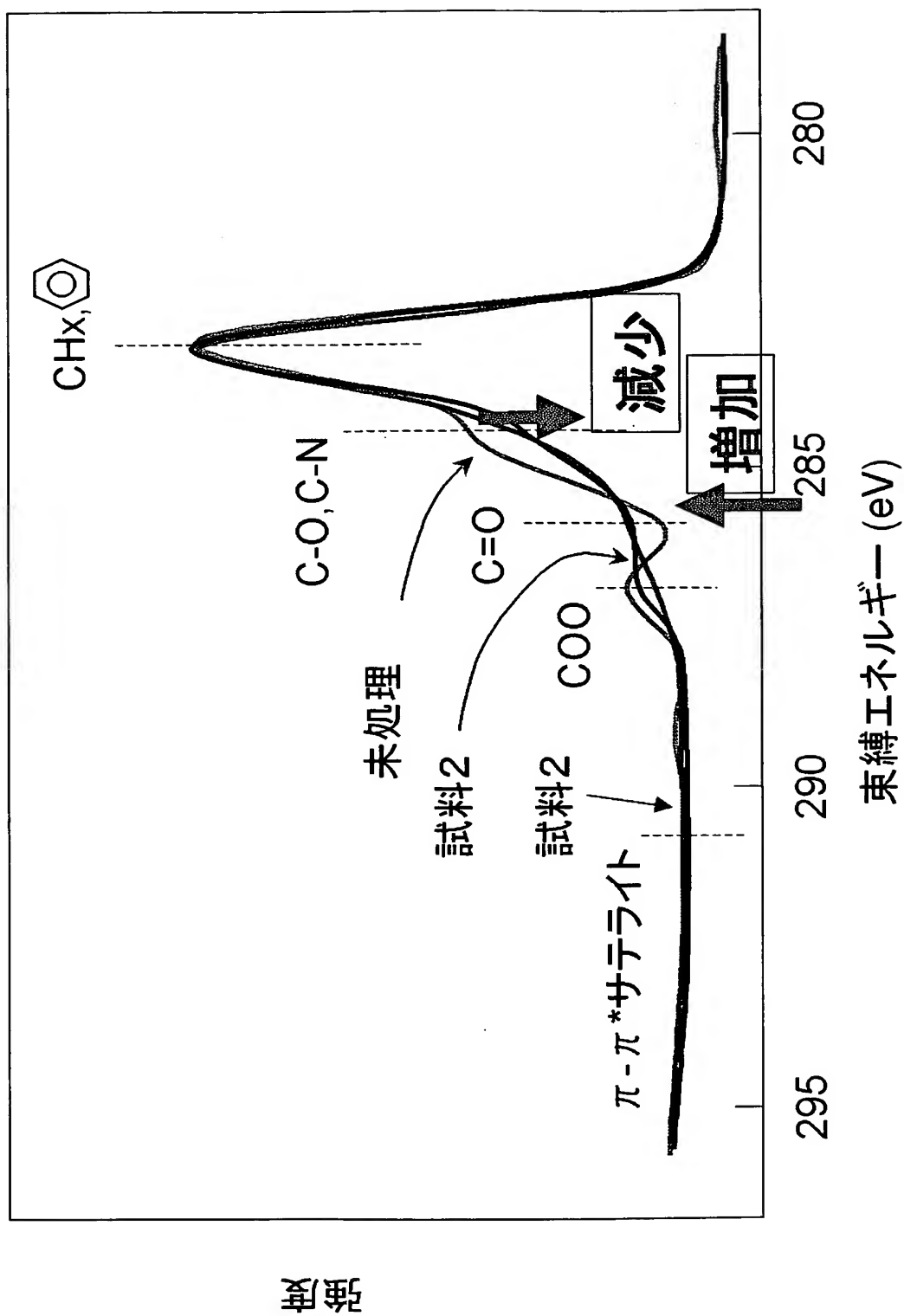


【図 13】



BEST AVAILABLE COPY

【図 14】



【書類名】 要約書

【要約】

【課題】 半導体モジュールにおいて、絶縁基材と、絶縁基材上に形成された絶縁体、たとえば半導体チップの封止樹脂との間の密着性を向上させる。

【解決手段】 層間絶縁膜 4 0 5 および銅からなる配線 4 0 7 からなる配線層が複数層積層し、最上層にソルダーレジスト層 4 0 8 を形成する。ソルダーレジスト層 4 0 8 表面に素子 4 1 0 a および 4 1 0 b を形成する。素子 4 1 0 a および 4 1 0 b は、モールド樹脂 4 1 5 によりモールドされた構造とする。ソルダーレジスト層 4 0 8 の表面を特定の条件を選択したプラズマ処理により改質し、微小突起群を形成する。ソルダーレジスト層 4 0 8 の上記面において、X線光電子分光分析スペクトルが、束縛エネルギー 2 8 4 . 5 e V における検出強度を x、束縛エネルギー 2 8 6 e V における検出強度を y としたときに、 $y/x$  の値が 0 . 4 以上となるようにする。

【選択図】 図 4

特願 2 0 0 3 - 0 9 3 3 2 4

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 1 8 8 9 ]

|          |                         |
|----------|-------------------------|
| 1. 変更年月日 | 1 9 9 3 年 1 0 月 2 0 日   |
| [変更理由]   | 住所変更                    |
| 住 所      | 大阪府守口市京阪本通 2 丁目 5 番 5 号 |
| 氏 名      | 三洋電機株式会社                |